TX-XC3S500E

ユーザーズ・マニュアル

2005.8　第1版

はじめに

本マニュアルには、TX-XC3S500E ボードのハードウェア仕様、設定方法、使用方法が記載されています。

*T-Engine は、コンピュータの仕様に対する名称であり、特定の商品を指すものではありません。

ご使用前に必ず「第４章　使用上の注意」をご確認ください。

【取扱説明書に関する注意事項】

1．本機及び本書の一部または全部を無断で複製・複写・転写・転載・改変することは法律で禁止されています。
2.本機及び本書に記載されている内容に関しては、改良のため予告なしに変更することがあります。
3.本機及び本書の内容に関しては万全を期して作成していますが、万一ご不審な点や誤り、記載漏れなどがありましたら、弊社までご連絡ください。
4.本機及び付属品の使用に起因する損害や逸失利益の請求などにつきましては、上記に関わらずいかなる責任も負いかねますので、予めご了承ください。
5.本機は「外国為替及び外国貿易法」の規定により戦略物等輸出規制製品に該当する場合があります。国外に持ち出す際は、日本政府の輸出許可申請などの手続きが必要になる場合があります。
6 本アプリケーションＣＤの使用においては、バックアップの目的に限り、各一部だけ複写できるものとします。
7.本アプリケーションＣＤに含まれる著作権等の知的財産は、いかなる場合においてもお客様に移転されることはありません。
8.本アプリケーションＣＤのソースコードについては、いかなる場合においてもお客様に開示、使用許諾をいたしません。また、ソースコードを解明するための本ソフトウェアの解析、逆アセンブルや逆コンパイル、またはその他のリバースエンジニアリングを禁止いたします。
9.書面による事前承諾を得ずに、本アプリケーションＣＤをリース・レンタル・販売・サブライセンスすることを禁止いたします。
10.本機は医療機器、原子力設備や機器、航空宇宙機器、輸送設備や機器など人命に関わる設備や機器としての使用、またはこれらに組み込んでの使用は意図されておりません。これら、設備や機器、制御システムなどに本機を使用され、本機の故障により人身事故、火災事故、社会的損害などが生じても、弊社ではいかなる責任も負いかねます。設備や機器、制御システムなどにおいて、冗長設計、火災延焼対策設計など、安全設計に万全を期されるようご注意ください。
11.本アプリケーションＣＤは一台のＰＣにおいてのみ使用できます。
12.本機または、その使用権を第三者に対する再使用許諾、譲渡、移転等の処分を行うことを禁止いたします。
13.弊社はお客様が上記のいずれかに違反されたときは、いつでも本機のご使用を終了させることができるものとします。

ライセンスと商標はすべて、各々の所有者がその所有権を保持します。

【安全にお使いいただくための注意事項】

本機は安全に十分配慮して設計されています。しかし、電気製品はまちがった使い方をすると、火災や感電などにより人身事故になることがあり危険です。事故を防ぐために次のことを必ずお守りください。

本文中では「**警告**」、「**注意**」、「**禁止**」、「**厳守**」と、取扱に対するご注意を分けてお願いしています。

警告
警告の内容を無視して誤った取扱をすると「人体に重大な損傷を負う可能性が想定される内容」を示しています。

注意
注意の内容を無視して誤った取扱をすると「人が損傷を負う可能性及び物的損害のみの発生が想定される内容」を示しています。

禁止
禁止は、してはいけないことの内容を示しています。

厳守
厳守は、必ず行なっていただきたい事項の内容を示しています。

①禁止　勝手に修理しない
本機を勝手に修理しないでください。（勝手に修理した場合、保証期間内であっても保証対象外とさせていただきます。）

②注意　水に注意
本機を濡らしたり、濡れた手で電源プラグを抜き差ししないでください。感電の原因になります。

③厳守　電源について
本電源アダプタの電源プラグは１００Ｖ専用です。他の電圧で使用する場合は、そのコンセントに合った電源プラグに交換してください。
なお、本アダプタの仕様は１００Ｖ～２４０Ｖ（５０／６０Ｈｚ）です。

④注意　火災に注意
電源アダプタの電源プラグについたほこりは定期的にお取りください。付属の電源アダプタ以外は、使用しないでください。
たこあし配線をしないでください。
コード類の接続は、根元までしっかりと差し込んでください。

⑤禁止　物を置かない
本機の上に物を置かないでください。

⑥注意　お手入れに注意
本機にちりやほこりなど汚れが付着しないようにご注意してください。もし、汚れを拭き取る場合は、柔らかい清潔な布をご使用ください。
水や洗剤、溶剤などの液体が本機にかからないようにご注意ください。シンナーやベンジン、アルコールの入った溶剤などは本機の表面を痛めますのでご使用にならないでください。

⑦禁止　動作中に振動を与えない
本機が動作している際に振動等を与えると、コネクタの接触不良が起き故障の原因になります。

⑧厳守　ＣＤの取り扱い
ＣＤに汚れが付着しないようにしてください。
・ＣＤは指で中央の穴と外線を挟むように持ちます。
・ＣＤを落とす、重ねる、ＣＤの上に重いものをのせる等、強い衝撃を与えないでください。
・データを記録する面には触らないでください。
・ＣＤのラベル面に、シールなどを貼らないでください。貼って使用すると読み出し／書き込みエラーが発生したりＣＤに傷が付くことがあります。
・ＣＤの保護のため、元のパッケージやケースなどに入れて保管してください。
ＣＤのクリーニング
ほこりが付着している場合は、エアースプレーや柔らかい布等を使って中心から放射状方法に向かってＣＤを傷つけないようにクリーニングしてください。}

⑨注意　電波障害自主規制について
本機は無線通信の妨害となる恐れがあります。本機の使用によりラジオやテレビの受信が妨害されるような場合は、次の方法をお試しください。ただし、どのような装置によっても電波妨害がまったく生じないという保証はありません。
・本機の電源をＯＦＦにする。
・受信アンテナの位置、あるいは方向を変える。
・本機と受信機の距離を離す。
・本機と受信機のコンセントを別々にする。

目次

第１章　概説 6

1.1 製品構成 6

1.2 基本仕様 7

1.3 ブロック図 8

第２章　各部の名称 9

2.1 ボード各部の名称 9

2.2 ボードの外形寸法 15

第３章　設置 16

3.1 接続 16

3.2 ジャンパー設定 20

3.3 電源投入・電源切断手順 22

第４章　使用上の注意 23

付録Ａ　回路図 25

付録Ｂ　部品リスト 25

付録Ｃ　FPGA 書き込み方法 25

第1章 概説

本製品は、Xilinx 社製 FPGA である Spartan-3E（XC3S500E）の評価、及び T-Engine の拡張用 FPGA ボードとして使用するためのボードです。
この章では、TX-XC3S500E の製品構成、及び基本仕様等について説明します。

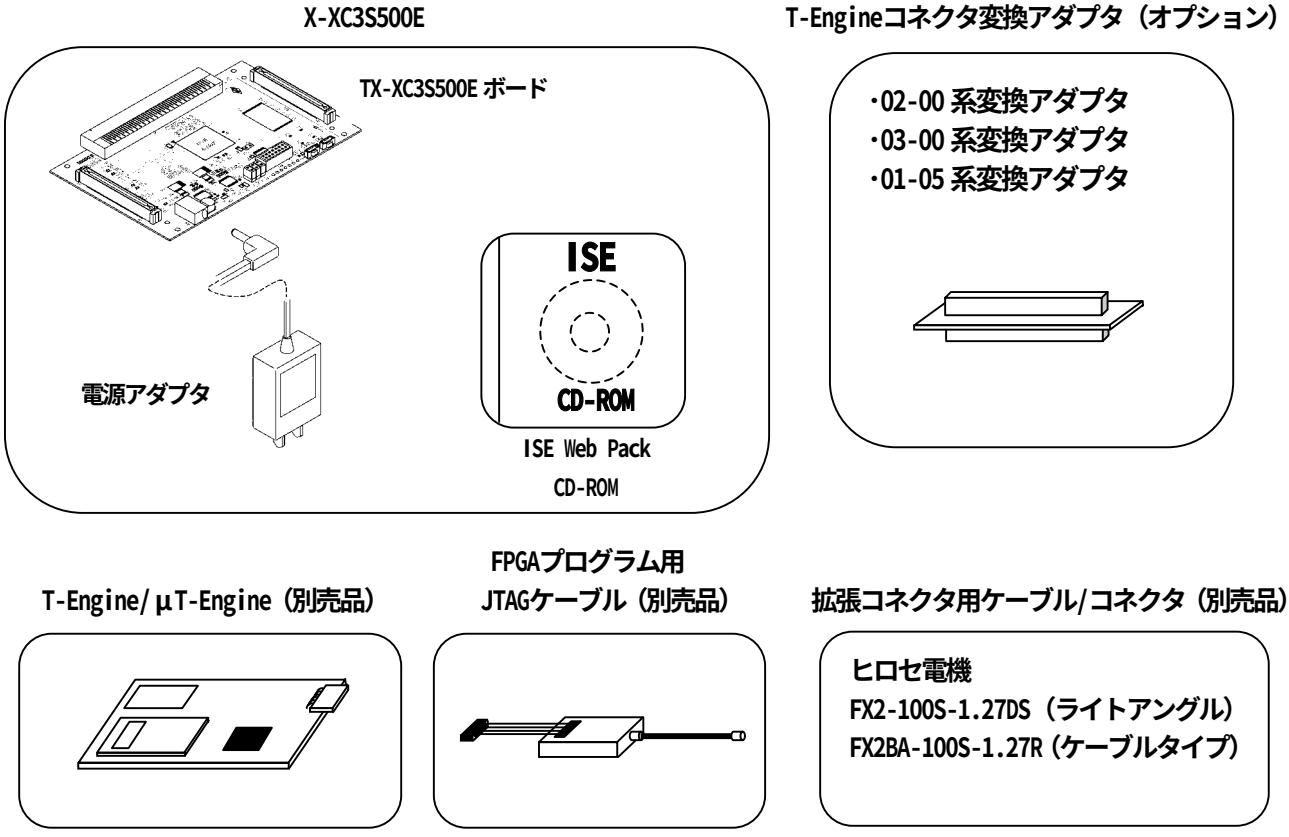
1.1 製品構成

本製品には、下記の物が付属されています。最初にご確認ください。

１．TX-XC3S500Eボード	1台
２．電源アダプタ	1個
３．ISE Web Pack CD-ROM	1式
４．TX-XC3S500E CD-ROM（マニュアル・回路図）	1枚
５．補助用スペーサ（メス×メス）	4個
６．補助用スペーサ（オス×メス）	2個
７．ネジ	4個
８．保証書発行カード	1枚

TX-XC3S500Eの製品構成は下記の様になっています。

図1-1 TX-XC3S500E 製品構成



1.2 基本仕様

表 1-1 TX-XC3S500E ボード基本仕様

項目		詳細	
FPGA		Spartan-3E（XC3S500E：FG320 パッケージ）・・・ XILINX 社製	
コンフィグレーション ROM		Platform Flash：XCF04SVOG20C（4Mbit）・・・・XILINX 社製 Flash Memory：M29W400DB（4Mbit）注1	
コンフィグレーションモード		Master/Slave Serial、BPI、JTAG	
LED	Power LED	電源用 LED（緑色）	
	Ready LED	コンフィグレーション確認用 LED（緑色）	
	LED×4	任意で使用可能な LED（橙色）	
SW	Reconfiguration SW	電源投入後に再度コンフィグレーションを実行	
	Reset SW	User 用に Reset 入力を用意	
T-Engine コネクタ	T-Engine 接続用コネクタ	24-5603-14-0100-861/24-5603-14-0400-861 Connector（京セラエルコ社製）	5V（VBAT）電源供給あり注2
	拡張ボード接続用コネクタ	14-5603-14-0100-861/14-5603-14-0400-861 Connector（京セラエルコ社製）	
拡張コネクタ		FX2-100P-1.27DSL（ヒロセ電機社製） I/O 出力 22 本（兼用 I/O 出力 44 本：使用する T-Engine コネクタにより使用可能な本数に制限があります）3.3V 電源供給あり I/O 出力 22 本の内、4 本は LED の制御可	
JTAG コネクタ		XC3S500E 書き込みケーブル接続用コネクタ 87831-1420（Molex）14PIN コネクタ	
電源		電源アダプタ 5V 2.3A （センター：＋）	
外形		120㎜×75㎜（突起部を含まない）	

注1 ロットによりメーカー/規格が異なる場合があります。

注2 VBAT から電源供給できない T-Engine があります。詳細は、「第 4 章 使用上の注意」をご覧ください。

XC3S500Eの仕様については、メーカーの最新のデータシートにて確認を行ってください。
T-Engineを使用しない場合、T-Engineコネクタを拡張用のコネクタとして使用することができます。
（使用可能な信号：T-Engineコネクタに配線されている信号）
TX-XC3S500Eボードと接続可能なT-Engineボードは以下の通りです。なお、一部の（ μ）T-Engineを使用する際は、T-Engineコネクタの変換アダプタが必要となります。

表 1-2 T-Engine 対応コネクタ表

CPU	V850E/MA3	SH7145	SH7727	SH7760	M32104	M32192
T-Engine タイプ	uT-Engine	uT-Engine	T-Engine	T-Engine	uT-Engine	uT-Engine
コネクタ*1 タイプ	01-02	01-02	01-01	01-01	02-02	02-02
対応バス	Local	Local	Local	Local	Local	Local
変換アダプタ	―	―	―	―	必要	必要

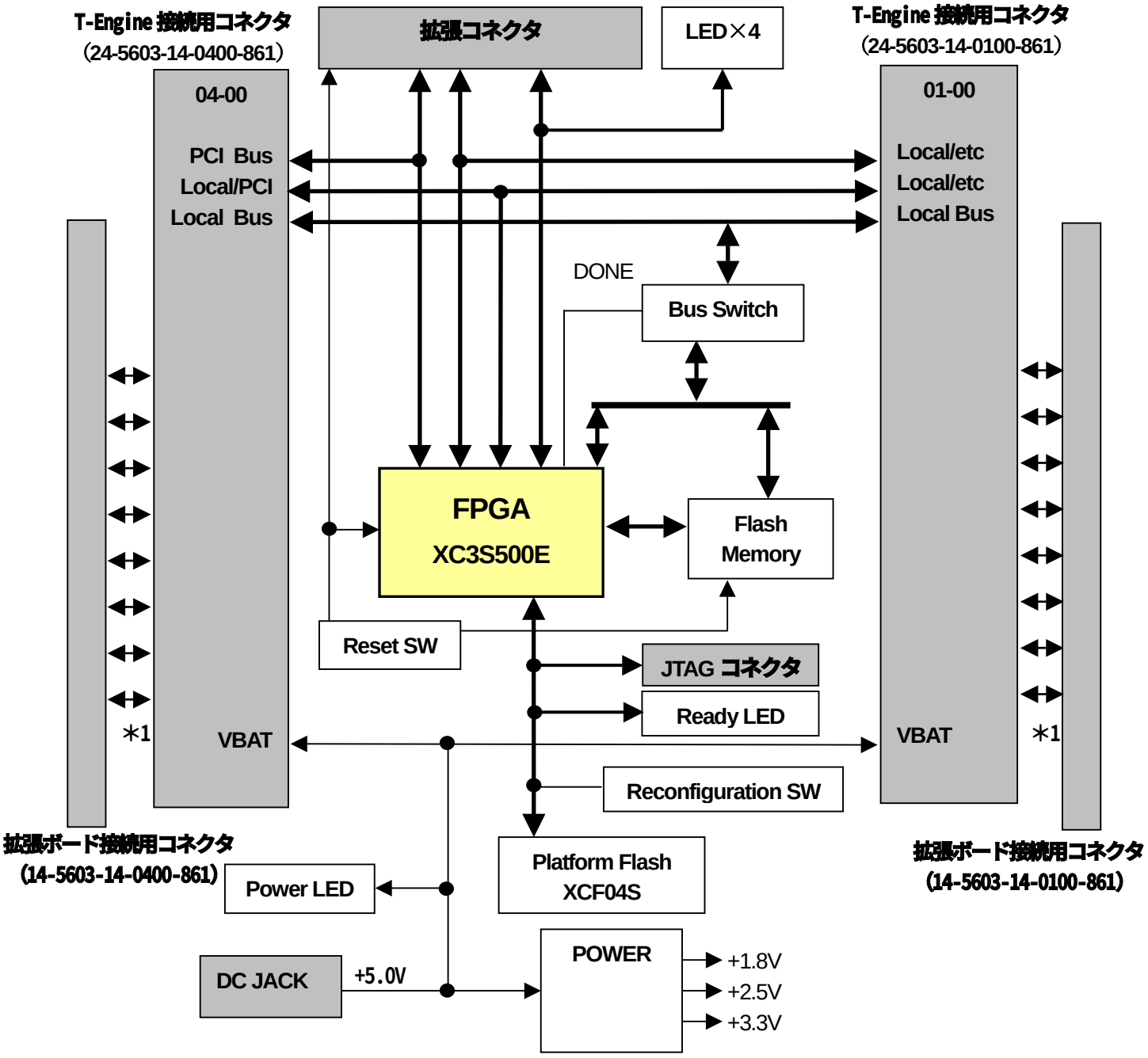
CPU	VR5500	VR4131	TX4956	SH7751R	ARM	FR
形状	T-Engine	uT-Engine	T-Engine	T-Engine	T-Engine	T-Engine
コネクタ タイプ	04-04	04-04	04-04	04-01	03-03	01-05
対応バス	Local/PCI	Local/PCI	Local/PCI	Local/PCI	Local	Local
変換アダプタ	―	―	―	―	必要	必要

*1：コネクタタイプは、コネクタ型番「**-5603-14-xxxx-861」の xxxx の箇所を表記しています。

※変換アダプタの項目にて、「-」は変換アダプタ無しで該当するコネクタに接続可能。「必要」は、01-00 系コネクタへ変換アダプタにて接続可能。

1.3 ブロック図

図 1-2 TX-XC3S500E ボード ブロック図



＊1：拡張ボード接続用コネクタには、それぞれのT-Engine接続用コネクタの信号が直接配線されています。

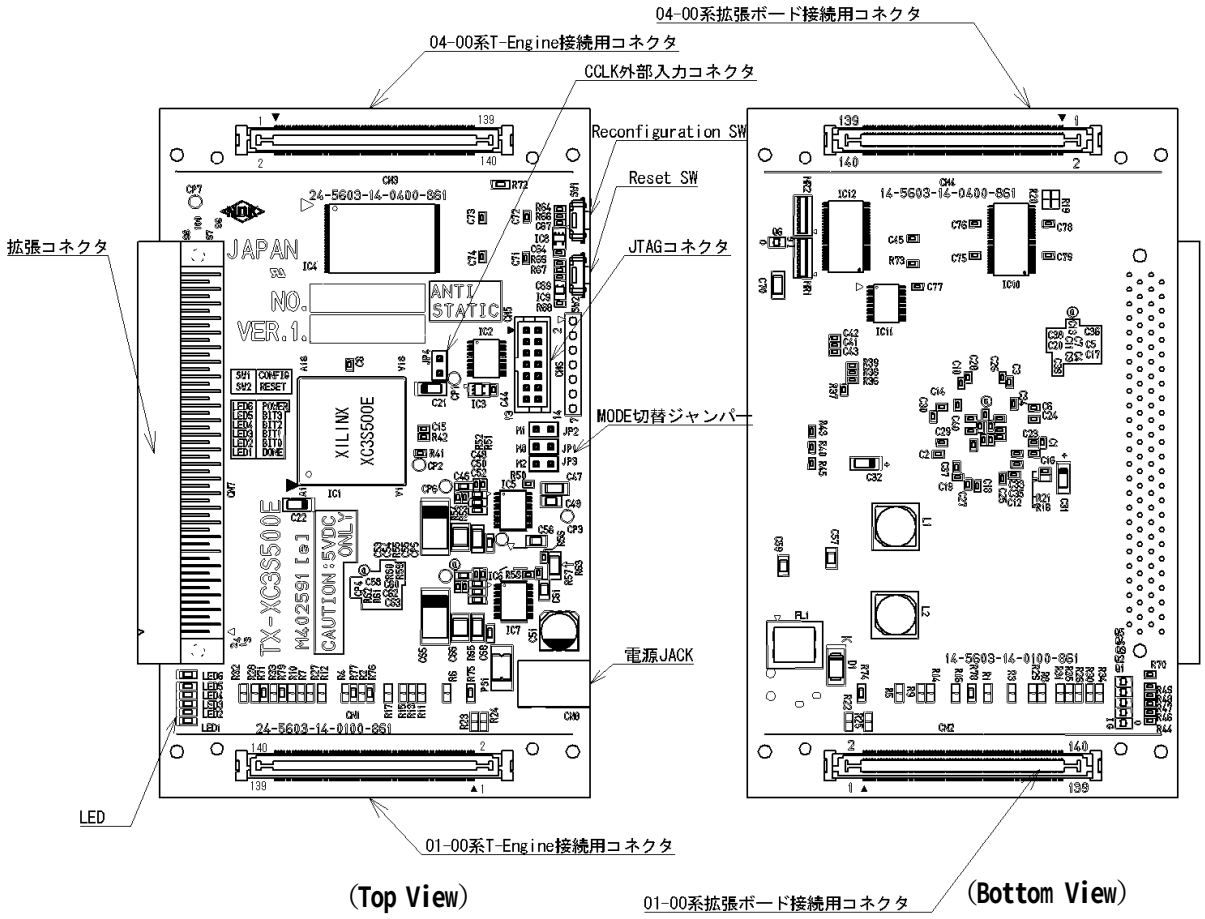
第2章　各部の名称

この章ではTX-XC3S500Eボード各部の名称、及びその外形寸法について説明します。

2.1　ボード各部の名称

・TX-XC3S500Eボードの各部の名称

図2-1 TX-XC3S500E ボードの各部名称



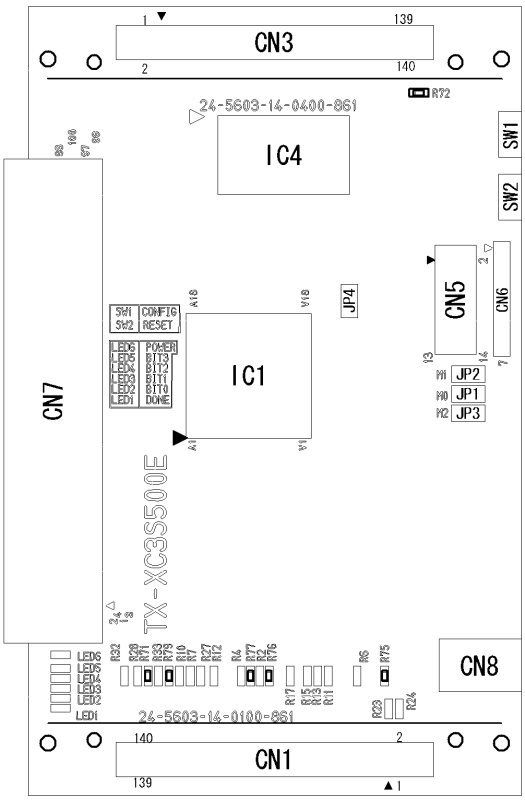
LED は下記の様に構成されています。

表2-1　LED の詳細

ロケーション	名称	機能
LED1	Power LED	電源 ON 時に点灯（緑色）
LED2	評価用 LED1	任意で使用可能（橙色）
LED3	評価用 LED2	任意で使用可能（橙色）
LED4	評価用 LED3	任意で使用可能（橙色）
LED5	評価用 LED4	任意で使用可能（橙色）
LED6	Ready LED	コンフィグレーション完了時に点灯（緑色）

• TX-XC3S500Eボード各部のロケーション番号

図2-2 TX-XC3S500E ボード各部のロケーション



(Top View)

(Bottom View)

表2-2 01-00系 T-Engine接続用／拡張ボード接続用コネクタ信号表（CN1、CN2）

Pin No.	CN1 CN2 信号名	I/O	FPGA ピン番号	Pin No.	CN1 CN2 信号名	I/O	FPGA ピン番号	PIN No.	CN1 CN2 信号名	I/O	FPGA ピン番号	Pin No.	CN1 CN2 信号名	I/O	FPGA ピン番号
1	NC (VBUS)	(IN)	H13	36	IO/LD29	I/O	L5	71	LA24	IN	V14	106	IO/CTS	OUT	T12
2	NC (VBUS)	(IN)	K17	37	IO/LD30	I/O	L4	72	LA25	IN	U14	107	IO	OUT	M18
3	NC (VBUS)	(IN)	K18	38	IO/LD31	I/O	L3	73	EPROMCE	IN	P11	108	IO	I/O	N18
4	NC (VBUS)	(IN)	L13	39	GND	G	—	74	IO/CS0	IN	P18	109	GND	G	—
5	LD0	I/O	N10	40	GND	G	—	75	IO/CS1	IN	M14	110	GND	G	—
6	LD1	I/O	P10	41	BCLK	IN	D9	76	IO/CS2	IN	P17	111	IO/TCK	OUT	C2
7	LD2	I/O	R10	42	GND	G	—	77	IO/CS3	I/O	M16	112	IO/TMS	I/O	C1
8	LD3	I/O	V9	43	GND	G	—	78	IO/CS4	IN	M15	113	IO/TRST	I/O	D2
9	LD4	I/O	U9	44	GND	G	—	79	GND	G	—	114	IO/TDI	OUT	D1
10	LD5	I/O	R9	45	LA0	IN	P6	80	GND	G	—	115	IO/TDO	IN	E1
11	LD6	I/O	M9	46	LA1	IN	J13	81	RD	IN	B18	116	IO	IN	E2
12	LD7	I/O	N9	47	LA2	IN	J12	82	LWAIT	OUT	P9	117	NC(3.3VSB)	(IN)	F5
13	LD8	I/O	T8	48	LA3	IN	J14	83	WE0	IN	L14	118	NC(3.3VSB)	(IN)	G1
14	LD9	I/O	R8	49	LA4	IN	J15	84	WE1	IN	R11	119	NC(3.3VSB)	(IN)	J7
15	LD10	I/O	P8	50	LA5	IN	J16	85	IO/WE2	IN	T5	120	NC(3.3VSB)	(IN)	K2
16	LD11	I/O	N8	51	LA6	IN	J17	86	IO/WE3	I/O	R5	121	IO	I/O	F15
17	LD12	I/O	P7	52	LA7	IN	K14	87	GND	G	—	122	IO	I/O	G13
18	LD13	I/O	N7	53	LA8	IN	K15	88	GND	G	—	123	IO	I/O	G14
19	LD14	I/O	R6	54	LA9	IN	K12	89	IO/IRQ0	OUT	R16	124	IO	I/O	F14
20	LD15	I/O	H17	55	LA10	IN	K13	90	IO/IRQ1	OUT	R15	125	IO	I/O	G16
21	GND	G	—	56	LA11	IN	L15	91	IO/IRQ2	OUT	L17	126	IO	I/O	G15
22	GND	G	—	57	LA12	IN	L16	92	IO/IRQ3	OUT	L18	127	NC(3.3V)	(IN)	K7
23	IO/LD16	I/O	T2	58	LA13	IN	T18	93	NMI	OUT	T15	128	NC(3.3V)	(IN)	M1
24	IO/LD17	I/O	T1	59	LA14	IN	R18	94	IO/RES_IN	OUT	M13	129	NC(3.3V)	(IN)	N1
25	IO/LD18	I/O	R3	60	LA15	IN	T17	95	RES_OUT	IN	E17	130	NC(3.3V)	(IN)	N2
26	IO/LD19	I/O	R2	61	GND	G	—	96	IO	OUT	H16	131	NC(3.3V)	(IN)	R1
27	IO/LD20	I/O	P1	62	GND	G	—	97	IO	I/O	H15	132	NC(3.3V)	(IN)	U1
28	IO/LD21	I/O	P2	63	LA16	IN	U18	98	IO	I/O	H14	133	VBAT(NC)	OUT	—
29	IO/LD22	I/O	N4	64	LA17	IN	T16	99	IO/ROMSEL	OUT	N11	134	VBAT(NC)	OUT	—
30	IO/LD23	I/O	N5	65	LA18	IN	U15	100	IO	OUT	P15	135	VBAT(NC)	OUT	—
31	IO/LD24	I/O	M6	66	LA19	IN	V15	101	GND	G	—	136	VBAT(NC)	OUT	—
32	IO/LD25	I/O	M5	67	LA20	IN	R14	102	GND	G	—	137	GND	G	—
33	IO/LD26	I/O	M4	68	LA21	IN	T14	103	IO/TXD	IN	V13	138	GND	G	—
34	IO/LD27	I/O	M3	69	LA22	IN	R13	104	IO/RXD	OUT	V12	139	GND	G	—
35	IO/LD28	I/O	L6	70	LA23	IN	P13	105	IO/RTS	I/O	R12	140	GND	G	—

G:GND I/O:入出力 IN:入力 OUT:出力

※（ ）内は、ジャンパー接続（チップ抵抗）により端子機能を変更できる内容を明記してあります

表2-3 04-00系 T-Engine接続用／拡張ボード接続用コネクタ信号表（CN3、CN4）

Pin No.	CN3 CN4 信号名	I/O	FPGA ピン番号	Pin No.	CN3 CN4 信号名	I/O	FPGA ピン番号	Pin No.	CN3 CN4 信号名	I/O	FPGA ピン番号	Pin No.	CN3 CN4 信号名	I/O	FPGA ピン番号
1	GND	G	—	36	AD20	I/O	F8	71	AD2	I/O	D14	106	LA1	IN	J13
2	PCLK2	IN	C9	37	GND	G	—	72	AD3	I/O	C14	107	LA8	IN	K15
3	GND	G	—	38	AD18	I/O	F9	73	GND	G	—	108	LA0	IN	P6
4	PCLK1	IN	B9	39	GND	G	—	74	AD1	I/O	A16	109	WE0#	IN	R11
5	GND	G	—	40	AD17	I/O	A10	75	GND	G	—	110	IO/WE1#	I/O	L14
6	PCLK0	IN	B8	41	CBE3#	I/O	B11	76	AD0	I/O	B16	111	GND	G	—
7	REQ2#	OUT	A15	42	AD16	I/O	B10	77	PCIRST#	IN	D12	112	RD#	IN	B18
8	NC (VCCIO)	(IN)	E18	43	CBE2#	I/O	A8	78	LOBAT#	OUT	R5	113	LD15	I/O	H17
9	REQ1#	OUT	B15	44	STOP#	I/O	M18	79	MPOWER	IN	C12	114	DL7	I/O	N9
10	NC (VCCIO)	(IN)	G18	45	LOCK#	I/O	N18	80	INTA#	OUT	H16	115	LD14	I/O	R6
11	REQ0#	OUT	C15	46	PERR#	I/O	L17	81	WAKEUP#	OUT	T5	116	LD6	I/O	M9
12	GNT2#	IN	G16	47	IRDY#	I/O	E13	82	INTB#	OUT	H15	117	LD13	I/O	N7
13	GND	G	—	48	TRDY#	I/O	G9	83	INT1#	IO	R16	118	LD5	I/O	R9
14	GNT1#	IN	G15	49	GND	G	—	84	INTC#	OUT	H14	119	LD12	I/O	P7
15	GND	G	—	50	FRAME#	I/O	F17	85	INT2#	IO	R15	120	LD4	I/O	U9
16	GNT0#	IN	F15	51	GND	G	—	86	INT0#	OUT	T15	121	LD11	I/O	N8
17	AD31	I/O	A4	52	DEVSEL#	I/O	F18	87	LA17	IN	T16	122	DL3	I/O	V9
18	IDSEL2	IN	G13	53	PAR	I/O	C3	88	CS1#	IN	B5	123	LD10	I/O	P8
19	AD30	I/O	B4	54	SERR#	OUT	L18	89	LA16	IN	U18	124	LD2	I/O	R10
20	IDSEL1	IN	G14	55	CBE1#	I/O	C4	90	CS0#	IN	A5	125	LD9	I/O	R8
21	AD29	G	C5	56	AD15	I/O	D10	91	LA15	IN	T17	126	LD1	I/O	P10
22	IDSEL0	IN	F14	57	CBE0#	I/O	A11	92	IORDY	OUT	P9	127	LD8	I/O	T8
23	AD27	I/O	A6	58	AD14	I/O	E10	93	GND	G	—	128	LD0	I/O	N10
24	AD28	I/O	D5	59	AD12	I/O	D11	94	LA7	IN	K14	129	VBAT(NC)	OUT	—
25	GND	G	—	60	AD13	I/O	C11	95	LA14	IN	R18	130	VBAT(NC)	OUT	—
26	AD26	I/O	B6	61	GND	G	—	96	LA6	IN	J17	131	VBAT(NC)	OUT	—
27	GND	G	—	62	AD11	I/O	E11	97	LA13	IN	T18	132	VBAT(NC)	OUT	—
28	AD25	I/O	C7	63	GND	G	—	98	LA5	IN	J16	133	VBAT(NC)	OUT	—
29	AD23	I/O	E7	64	AD10	I/O	F11	99	LA12	IN	L16	134	VBAT(NC)	OUT	—
30	AD24	I/O	D7	65	AD8	I/O	F12	100	LA4	IN	J15	135	VBAT(NC)	OUT	—
31	AD22	I/O	F7	66	AD9	I/O	E12	101	LA11	IN	L15	136	VBAT(NC)	OUT	—
32	IO/CS2#	I/O	N11	67	AD6	I/O	B13	102	LA3	IN	J14	137	GND	G	—
33	AD21	I/O	E8	68	AD7	I/O	A13	103	LA10	IN	K13	138	GND	G	—
34	IO/EPCE#	I/O	P11	69	AD4	I/O	B14	104	LA2	IN	J12	139	GND	G	—
35	AD19	I/O	E9	70	AD5	I/O	A14	105	LA9	IN	K12	140	GND	G	—

G:GND I/O:入出力 IN:入力 OUT:出力

※（ ）内は、ジャンパー接続（チップ抵抗）により端子機能を変更できる内容を明記してあります

表2-4 拡張コネクタ信号表（CN7）

Pin No.	CN7 信号名	兼用コネクタ	FPGA ピン番号	Pin No.	CN7 信号名	兼用コネクタ	FPGA ピン番号	Pin No.	CN7 信号名	兼用コネクタ	FPGA ピン番号	Pin No.	CN7 信号名	兼用コネクタ	FPGA ピン番号
1	GND	―	―	26	EXT9B	―	K6	51	DUAL9A	04-00	D11	76	DUAL19B	01-00	M5
2	GND	―	―	27	EXT10A	―	L2	52	DUAL9B	04-00	C11	77	DUAL20A	01-00	M4
3	+3.3V	―	―	28	EXT10B	―	L1	53	DUAL10A	04-00	F11	78	DUAL20B	01-00	M3
4	+3.3V	―	―	29	+3.3V	―	―	54	DUAL10B	04-00	E11	79	DUAL21A	01-00	L6
5	EXT0A	―	F2	30	+3.3V	―	―	55	+3.3V	―	―	80	DUAL21B	01-00	L5
6	EXT0B	―	F1	31	DUAL0A	04-00	B4	56	+3.3V	―	―	81	DUAL22A	01-00	L4
7	EXT1A	―	G4	32	DUAL0B	04-00	A4	57	DUAL11A	04-00	E12	82	DUAL22B	01-00	L3
8	EXT1B	―	G3	33	DUAL1A	04-00	D5	58	DUAL11B	04-00	F12	83	TDO	―	C16
9	EXT2A	―	G5	34	DUAL1B	04-00	C5	59	DUAL12A	01-00	C2	84	TDI	―	A2
10	EXT2B	―	G6	35	DUAL2A	04-00	A6	60	DUAL12B	01-00	C1	85	GND	―	―
11	EXT3A	―	H5	36	DUAL2B	04-00	B6	61	DUAL13A	01-00	D2	86	TMS	―	D15
12	EXT3B	―	H6	37	DUAL3A	04-00	E7	62	DUAL13B	01-00	D1	87	TCK	―	A17
13	EXT4A	―	H3	38	DUAL3B	04-00	F7	63	DUAL14A	01-00	E1	88	GND	―	―
14	EXT4B	―	H4	39	DUAL4A	04-00	D7	64	DUAL14B	01-00	E2	89	GND	―	―
15	EXT5A	―	H1	40	DUAL4B	04-00	C7	65	DUAL15A	01-00	T2	90	CCLK	―	U16
16	EXT5B	―	H2	41	DUAL5A	04-00	F8	66	DUAL15B	01-00	T1	91	GND	―	―
17	GND	―	―	42	DUAL5B	04-00	E8	67	DUAL16A	01-00	R3	92	GND	―	―
18	GND	―	―	43	GND	―	―	68	DUAL16B	01-00	R2	93	DIN	NC	―
19	EXT6A	―	J4	44	GND	―	―	69	GND	01-00	―	94	DOUT	―	U4
20	EXT6B	―	J5	45	DUAL6A	04-00	F9	70	GND	01-00	―	95	INIT_B	―	T3
21	EXT7A	―	J2	46	DUAL6B	04-00	E9	71	DUAL17A	01-00	P1	96	PROG_B	―	B1
22	EXT7B	―	J1	47	DUAL7A	04-00	A10	72	DUAL17B	01-00	P2	97	RESET#	―	V8
23	EXT8A	―	K4	48	DUAL7B	04-00	B10	73	DUAL18A	01-00	N4	98	DONE	―	V17
24	EXT8B	―	K3	49	DUAL8A	04-00	E10	74	DUAL18B	01-00	N5	99	GND	―	―
25	EXT9A	―	K5	50	DUAL8B	04-00	D10	75	DUAL19A	01-00	M6	100	GND	―	―

拡張コネクタの５ピンから８ピンには、評価用のLED（LED2、LED3、LED4、LED5）が接続されています。

表2-5 LED対応ピン

拡張コネクタ（CN7）		LED 名	ロケーション
Pin No.	端子名		
5	EXT0A	BIT0	LED2
6	EXT0B	BIT1	LED3
7	EXT1A	BIT2	LED4
8	EXT1B	BIT3	LED5

・JTAGコネクタ（CN5、CN6）

CN5及びCN6は、Xilinx社製のJTAGケーブルを使用して、プラットフォームFlash ROM及びXC3S500Eにプログラムを行う為のコネクタです。CN6は部品が未実装の為、ご使用の際には任意のポストを立てて使用してください。
また、JTAGインターフェースの電源レベルは、+2.5Vインターフェースとなっていますのでご注意ください。

JTAGコネクタ（CN5）

Pin No.	信号名	Pin No.	信号名
1	GND	8	TDO
2	Vref	9	GND
3	GND	10	TDI
4	TMS	11	GND
5	GND	12	NC
6	TCK	13	GND
7	GND	14	NC

JTAGコネクタ（CN6）

Pin No.	信号名
1	TMS
2	TDI
3	TDO
4	NC
5	TCK
6	GND
7	Vref

・DC JACK（CN8）

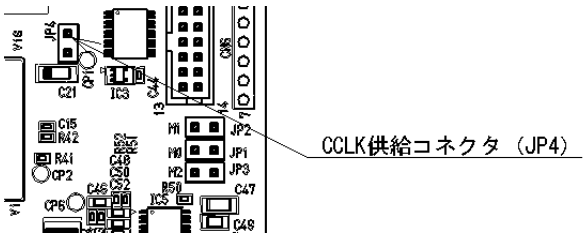
付属の電源アダプタを接続します。

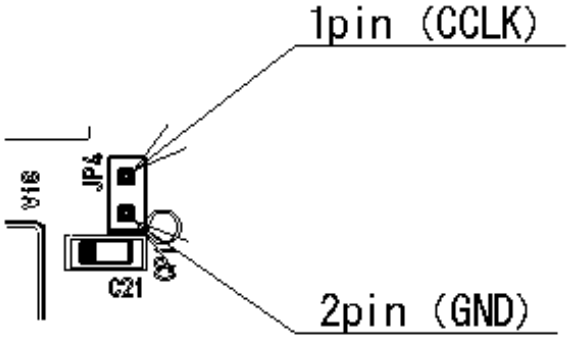
DC JACK（CN8）

端子	名称	機能
センター	＋	+5.0V入力
外側	GND	GND

・CCLK外部入力コネクタ（JP4）

コンフィグレーションモードの設定をSlave Serial Modeにした場合、CCLKを外部よりTX-XC3S500Eボードへ供給する必要があります。供給は、拡張コネクタから供給する方法と、JP4から供給する方法があります。
外部クロックをJP4から供給する場合は、信号ライン及びGNDへの接続を行うようにして下さい。

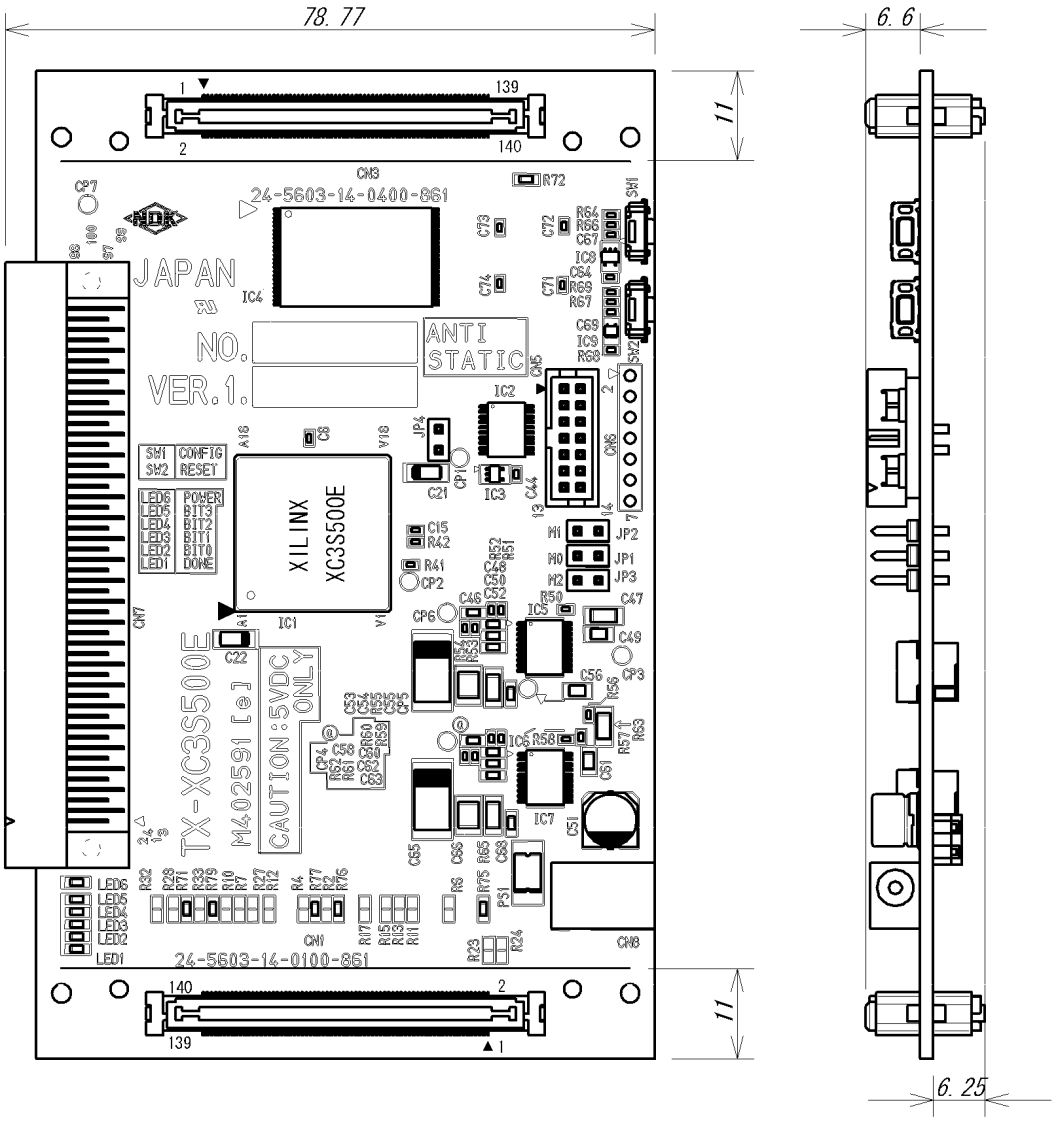




2.2 ボードの外形寸法

TX-XC3S500E ボードの外形寸法、及びレイアウトは、以下の通りです。

図 2-3 TX-XC3S500E ボード外形寸法図



[mm]

第3章 設置

この章では、TX-XC3S500Eを使用する際に必要な設定、T-Engine及び拡張ボードとの接続、電源投入・切断の手順について説明します。

3.1 接続

TX-XC3S500EボードとT-Engineボード、T-Engine拡張ボード、及びユーザー作成拡張ボードの接続方法について説明します。

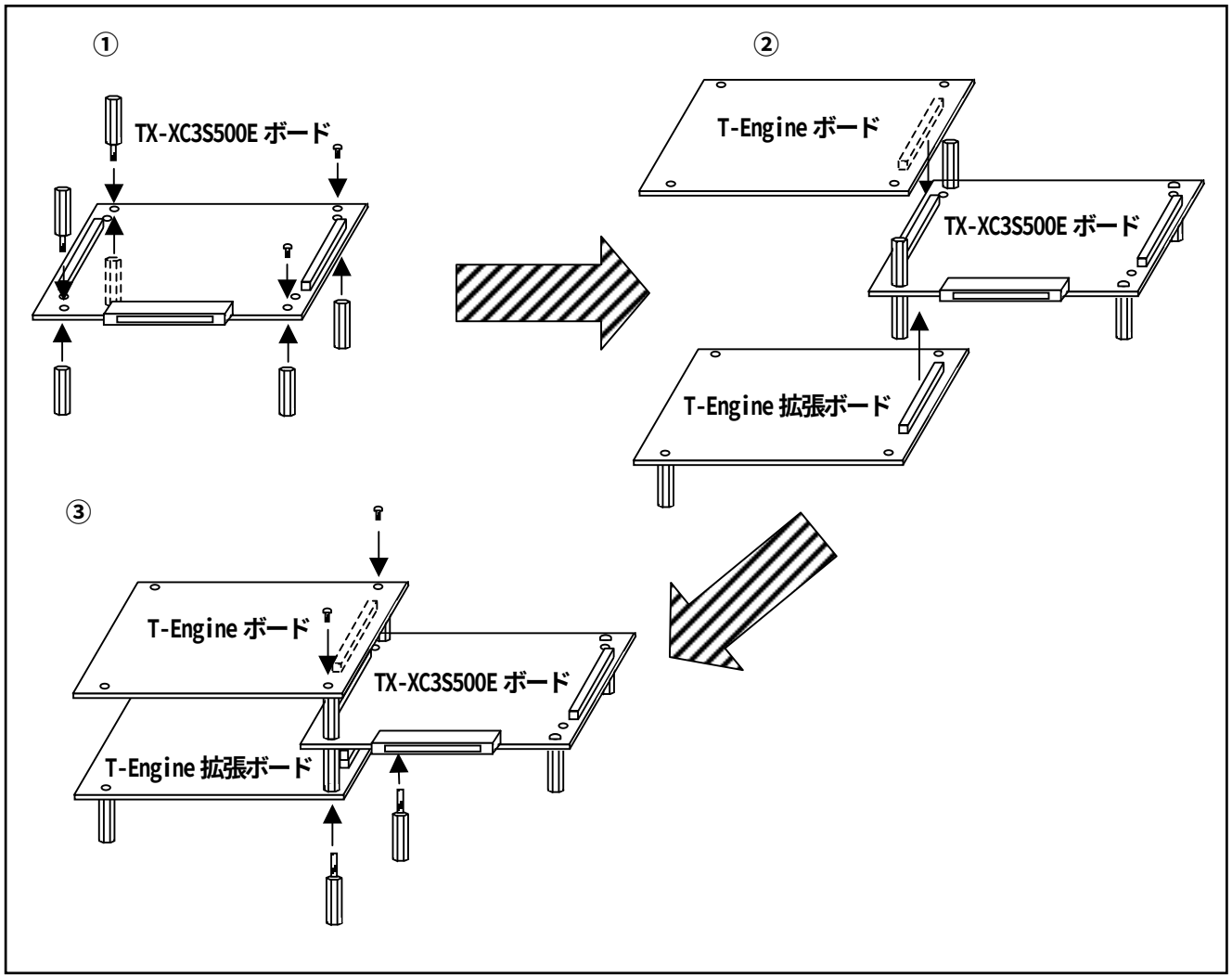
T-Engineボードは、その種類により該当するコネクタに接続します。T-Engineボードを接続するコネクタは、CN1及びCN3で、CN1は0100系の拡張コネクタを持つCPUボードに対応し、CN3は0400系の拡張コネクタを持つCPUボードに対応しています。それ以外のコネクタをもつCPUボードについては、オプションのコネクタ変換アダプタが必要となります。

T-Engineボード接続コネクタの裏側にあるCN2及びCN4は、CN1,CN3の信号がそのまま出力されており、T-Engineボードの拡張ボード等を接続して使用することが可能です。

【接続手順（変換アダプタ無の場合）】

① 製品に添付されているスペーサ（6本）とネジ（2本）をTX-XC3S500E ボードに取り付けます。
② TX-XC3S500EボードのCN1またはCN3にT-Engineボード、CN2またはCN4に拡張ボードを接続します。
③ T-Engineボードは本製品に添付されているネジでネジ止めし、拡張ボードはT-Engineボードに添付されているスペーサを取り付けます。

図3-1 TX-XC3S500Eボード接続図（変換アダプタ無の場合）



【接続手順（変換アダプタ有の場合）】

① 製品に添付されているスペーサ（4本）とネジ（2本）をTX-XC3S500E ボードに取り付けます。
② TX-XC3S500EボードのCN1（24-5603-14-0100-861）側に変換アダプタを接続しスペーサで止めます。
③ 変換アダプタにT-Engineボードを接続しネジ止めします。

注意：変換アダプタを接続した場合、CN2側にT-Engine拡張ボードを接続して使用できません。
詳細は、「第4章　使用上の注意」をご覧ください。

図3-2　TX-XC3S500Eボード接続図（変換アダプタ有の場合）

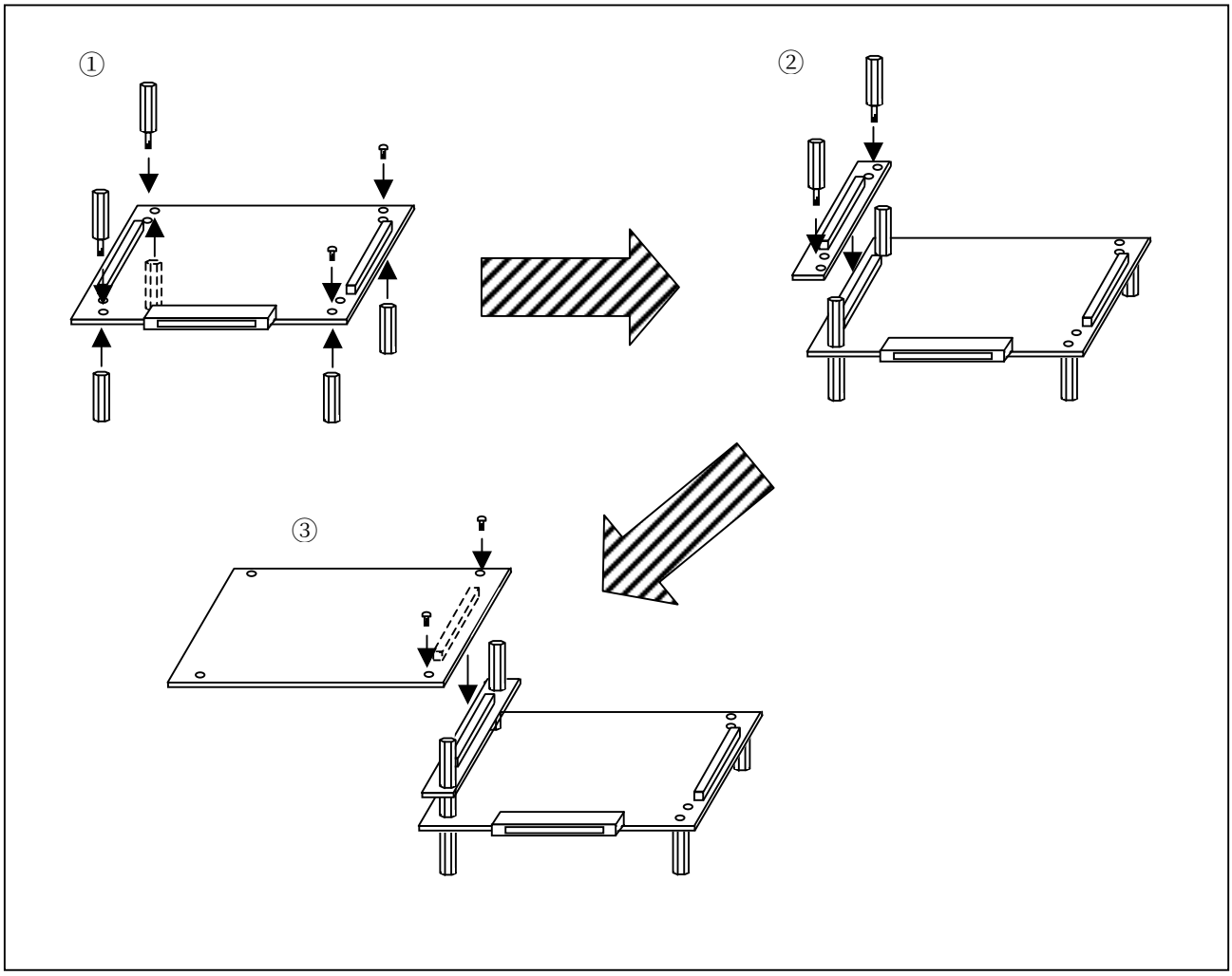


表3-1 TX-XC3S500Eボードのコネクタと T-Engine ボードの対応表

TX-XC3S500E ボード コネクタ	T-Engine ボード コネクタ	T-Engine ボード名 (CPU)	コネクタ変換アダプタ
CN1 24-5603-14-0100-861	01-01	SH7727 T-Engine	ー
	01-01	SH7760 T-Engine	ー
	01-02	V850E/MA3 uT-Engine	ー
	01-02	SH7145 uT-Engine	ー
	02-02	M32104 uT-Engine	必要
	02-02	M32192 uT-Engine	必要
	03-03	ARM T-Engine	必要
	01-05	FR400 T-Engine	必要
CN3 24-5603-14-0400-861	04-01	SH7751R T-Engine	ー
	04-04	VR4131 uT-Engine	ー
	04-04	VR5500 T-Engine	ー
	04-04	Tx4956 T-Engine	ー

ユーザー作成ボードは、CN7の拡張コネクタに接続し使用します。拡張コネクタは下記製品を使用しています。

CN7コネクタ　規格：FX2-100P-1.27DSL　メーカー：ヒロセ電機

表3-2 CN7コネクタの対応コネクタ

対応コネクタ	メーカー	規格	形状
コネクタ１	ヒロセ電機	FX2-100S-1.27DS(DSL)	ライトアングル
コネクタ２	ヒロセ電機	FX2BA-100SA-1.27R	ケーブル接続タイプ

図3-3 拡張コネクタ接続図（1）

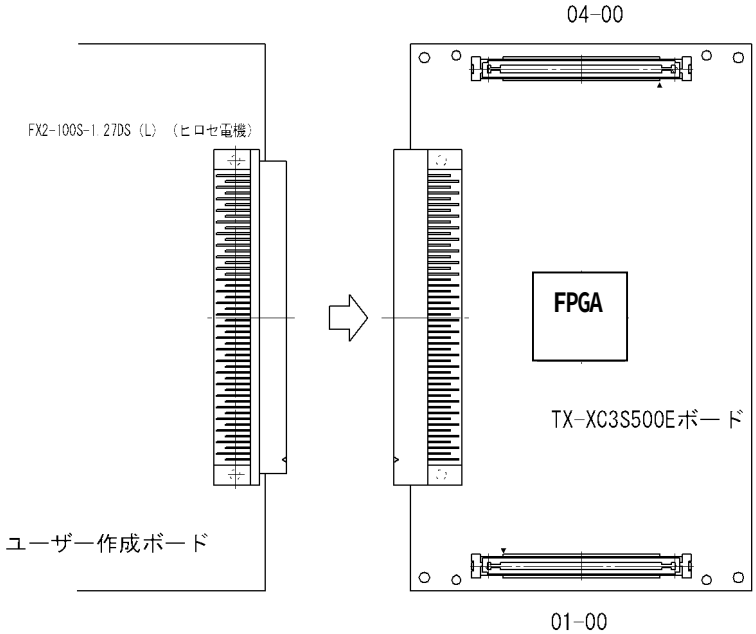
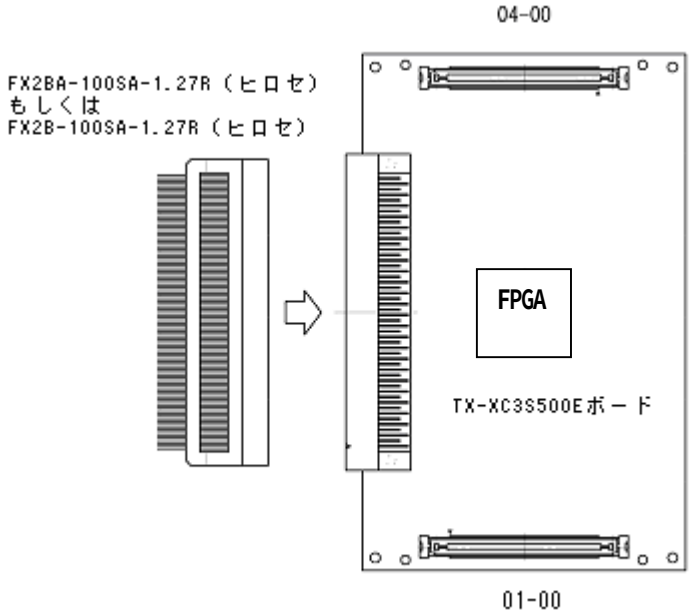
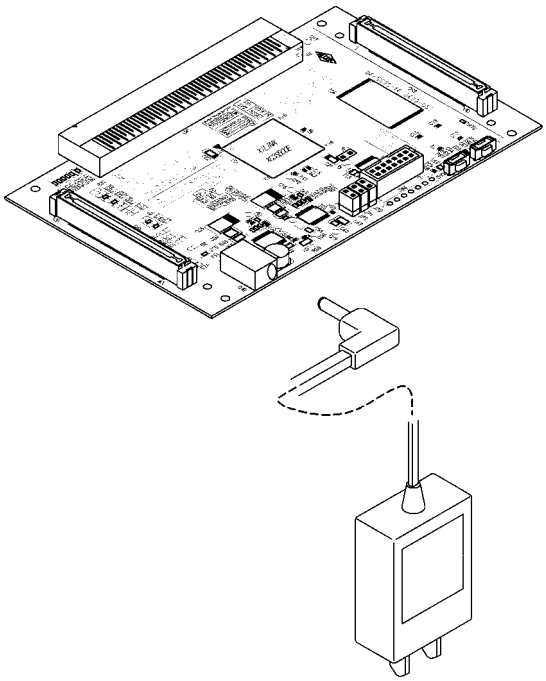


図3-4 拡張コネクタ接続図（2）



電源アダプタの接続方法について、説明します。添付の電源アダプタの接続は、下記の通りです。

図3-5 電源アダプタ接続図



3.2 ジャンパー設定

TX-XC3S500Eボードのジャンパー設定について説明します。ジャンパー設定にて切り替えられるのは、コンフィグレーションモードと、T-EngineコネクタのXC3S500Eへの接続についてです。

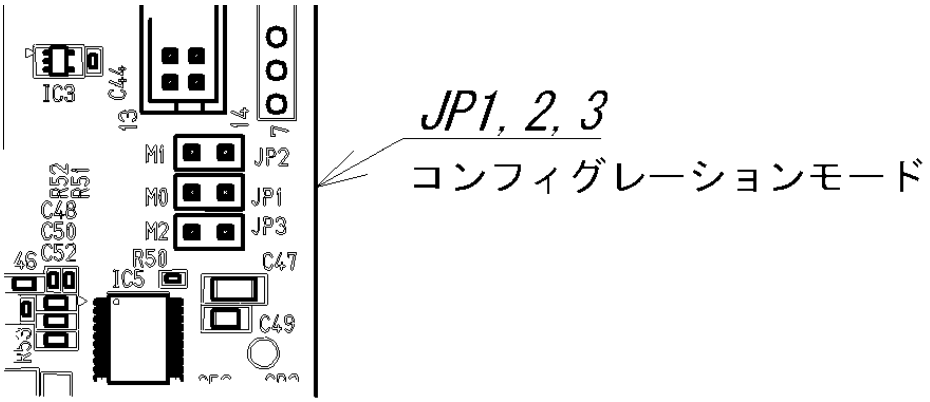
• JP1,JP2,JP3の設定

JP1,JP2,JP3により、コンフィグレーションモードの設定を行います。各コンフィグレーションモードの設定方法は、下記の通りです。

表3-3 コンフィグレーションモード設定

コンフィグレーションモード	MODE M0	M1	M2	ジャンパー設定	コンフィグレーションROM
Master Serial	0	0	0	JP1,2,3＝ {ショート：ショート：ショート}	XCF04SV020C
Slave Serial	1	1	1	JP1,2,3＝ {オープン：オープン：オープン}	XCF04SV020C
BPI	0	1	0	JP1,2,3＝ {ショート：オープン：ショート} ＝UP	M29W400D
	1	1	0	JP1,2,3＝ {ショート：オープン：オープン} ＝DOWN	
JTAG	1	0	1	JP1,2,3＝ {オープン：ショート：オープン}	－

UP ：0番地からアドレスをIncrementしてデータをダウンロードします。
DOWN：0xFF_FFFF番地からアドレスをDecrementしてデータをダウンロードします。



注：JP1,JP2,JP3の配置は、図の様に順番に整列していないので、設定時には注意してください。

・ジャンパー抵抗の設定

ジャンパー抵抗は、主に信号の接続をショート/オープンするためのものです。該当するジャンパー抵抗を実装、または取り外すことにより切替を行うことが可能です。
設定可能な端子については、表2-2または表2-3をご覧ください。
ジャンパー抵抗の設定については、各T-Engineボードのユーザーズ・マニュアル（140ピン拡張コネクタの説明部）で確認の上、設定してください。

3.3 電源投入・電源切断手順

TX-XC3S500Eボードには、電源スイッチが無い為、電源アダプタを接続した状態で電源ONとなり、取り外した状態では、電源OFFとなります。電源をON（電源アダプタを接続）する場合には、各コネクタに接続すべきボード類は、あらかじめ接続してからONするようにしてください。

またT-Engineボードを使用する場合には、TX-XC3S500EボードからVBATに電源を供給しますので、T-Engineボードには、電源アダプタを接続しないように注意してください。接続した場合には、TX-XC3S500Eボードを破損する場合がございますのでご注意ください。

TX-XC3S500EボードのVBATから電源供給できないT-Engineもあります。詳細は、「第4章　使用上の注意」をご覧ください。

・電源投入手順

①TX-XC3S500EボードにT-Engineボードを接続します。
（T-Engine拡張ボード、ユーザー作成ボードがある場合は①の時に接続します。）
②FPGAの書き込みを行う場合は、ダウンロードケーブルのコネクタを接続します。
③TX-XC3S500Eボードに電源アダプタを接続します。（電源をONにします。）注
④ユーザー作成ボードの電源を投入します。
⑤TX-XC3S500EボードとT-Engineボードが起動します。

注：T-Engineボードに電源アダプタを接続しないでください。

・電源切断手順

①ユーザー作成ボードの電源を切ります。
②TX-XC3S500Eボードの電源アダプタを取り外します。（電源をOFFにします。）
③FPGAの書き込みを行った場合は、ダウンロードケーブルのコネクタを取り外します。

T-Engineボードを接続した状態でTX-XC3S500Eボード上のFPGAデータを書き換える際は、正常動作するデータを書き込んでください。正常動作しないFPGAデータを書き込んだ場合、TX-XC3S500EボードまたはT-Engineボードが破損する場合があります。

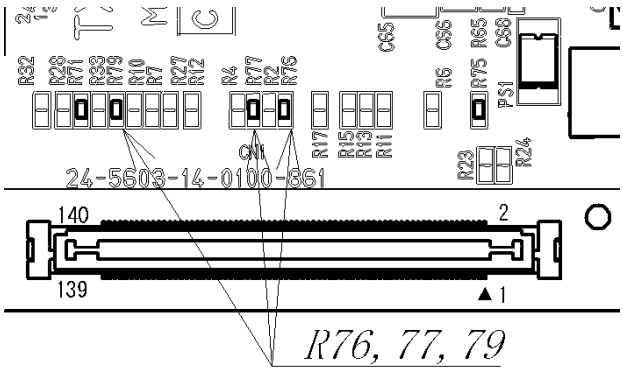
第４章　使用上の注意

1.V850E/MA3 T-Engine を使用する場合

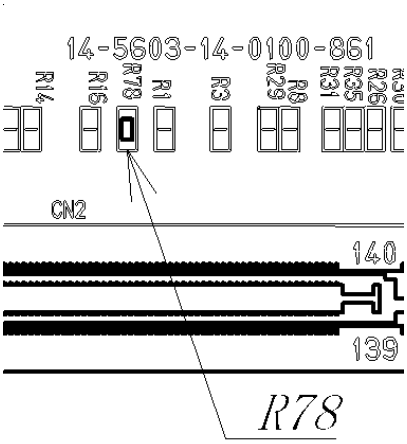
V850E/MA3 T-Engine の RS-232C 信号が、TX-XC3S500E ボードに接続されているため TX-XC3S500E ボード上のジャンパー（チップ抵抗）を取り外す必要があります。

- R76
- R77
- R78
- R79

部品面（R76,R77,R79）



半田面（R78）



2.TX-XC3S500E の VBAT ラインから電源供給できない T-Engine を使用する場合

該当する T-Engine に関しては、各 T-Engine のユーザーズ・マニュアルをご覧ください。
該当する T-Engine を使用する場合、TX-XC3S500E ボードの VBAT から T-Engine へ電源供給できないため T-Engine 側にも電源アダプタを接続する必要があります。
T-Engine 側に電源アダプタを接続する前に下記設定を行ってください。

TX-XC3S500E ボードの VBAT ラインのジャンパー（チップ抵抗）を取り外してください。

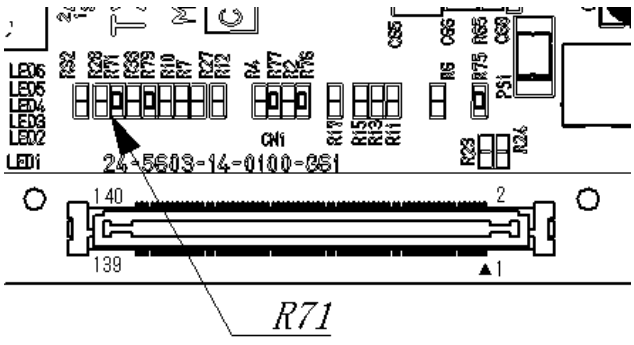
01-00 系の場合

- R71

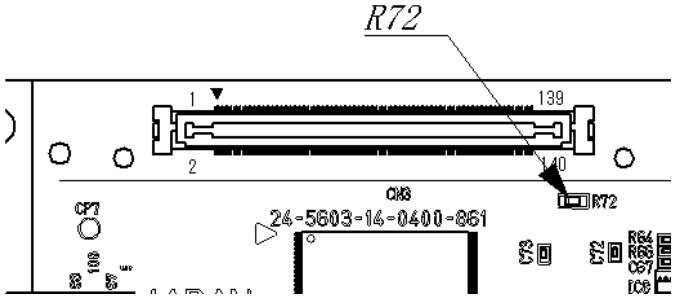
04-00 系の場合

- R72

部品面：01-00 コネクタ側（R71）



部品面：04-00 コネクタ側（R72）



3.変換アダプタを接続して使用する場合

変換アダプタを接続して使用する場合、拡張ボード接続用コネクタはピン変換されていませんので T-Engine 拡張ボードを接続して使用することはできません。

4.T-Engine 接続用コネクタのシルク表記について

TX-XC3S500E ボードに記載されている T-Engine 接続用コネクタの部品名シルクは実装されている部品名と異なります。
コネクタに対応する相手側のコネクタ名を記載しています。

例）

ボードに記載されているシルク：24-5603-14-0400-861
実装されている部品名：14-5603-14-0400-861

付録A　回路図

schematic.pdf ファイルをご覧ください。

付録B　部品リスト

parts_list.pdf ファイルをご覧ください。

付録C　FPGA 書き込み方法

下記 URL をご覧ください。
http://www.ndk-m.co.jp/tif/